

1

【特許請求の範囲】

【請求項1】セル相互間を接続するための2本以上の信号線からなるバスを配線する半導体集積回路の配置配線方法において、最適化処理によって変更されない配線固定領域を設定し、該配線固定領域内に上記バスの少なくとも一部を固定配線することを特徴とする配置配線方法。

【請求項2】上記配線固定領域の設定および上記バスの固定配線処理を、セル配置処理の直前又は直後に行なうようにしたことを特徴とする配置配線方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、スタンダードセル方式で設計される半導体集積回路(LSI)の配置配線方法に係り、特にバス配線について改良した配置配線方法に関するものである。

【0002】

【従来の技術】図6は配置配線処理を行なうための従来の装置(CAD装置)の概略ブロックを示す図である。入力装置1においてネットリスト等に基づく配線情報101、セル情報102、第1、第2の配線層の仕様等の設計基準情報103が取り込まれ、処理装置2においてセル配置処理202、配置したセルを避ける領域での仮想配線処理203、より小面積となるようセル配置や配線を調整するコンパクション処理204、最終的な実配線処理205等が行なわれる。この処理装置2では、セル配置処理202→仮想配線処理203→コンパクション処理204→セル配置処理202→...が繰り返し行なわれ、チップ面積を小さくするための最適化が行なわれる。3は記憶装置であって、処理装置2における処理手順(プログラム)が予め記憶されており、また処理結果のデータ等も記憶される。4は処理結果をローラ等に出力するための出力装置である。

【0003】図7は従来の配置配線の説明図である。5はメモリ用等のブロックセル配置領域、6はスタンダードセル配置領域(横方向、縦方向)である。従来の配置配線では、ブロックセルやスタンダードセルの配置を施した後に、当該セル間の配線が施される。通常、図7に示すように、LSIチップが垂直方向又は水平方向に配線領域a～gの順で順次2分割できるような場合、配線はその分割と逆に、配線領域g～aの順に施される。

【0004】

【発明が解決しようとする課題】ところが、このような配線方法では、多くのセル間を結線する2本以上の信号線からなるバス配線がある場合に、例えば、図7における配線領域結合部11では、バス配線層の切り替わりが多発して、配線が混雑し配線領域が増加する。

【0005】図8は図7における配線領域a～bの間の配線領域結合部11の部分を拡大した図である。8は第1配線層(METAL1)、9はその上層の第2配線層

2

(METAL2)、10は第1配線層8と第2配線層9を接続するためのコンタクトである。この従来例では、第1配線層8で配線されるバスB0～B2の間に、同様の第1配線層8で配線される他の配線xが入ることにより、その配線xを交差してバス配線の順番(ビット線の縦方向の並びの順序)が入れ替わって、配線層の切り替わりが生じ、配線領域が増加してチップサイズの増加を招く。

【0006】このように、従来の配線方法では、仮想配線処理203、コンパクション処理204等によって、バスB0～B2が、バス以外の配線xと同一条件で配線されるため、上記したようにバス配線層の切り替わりが発生し、配線領域が増加したり、同一バス内において配線長の差が大きくなつて伝搬遅延時間にバラツキが生じて特性に影響を与えるという問題が発生する。また、バス配線の位置およびビット線の並び順が指定できないため、解析時にバス配線の位置が判り難くなるという問題もあった。

【0007】本発明は、上記した問題点に着目したもので、バス配線の配線層の切り替わりを無くして、チップサイズの縮小化、特性の向上、解析の容易化等を図ることである。

【0008】

【課題を解決するための手段】このために第1の発明は、セル相互間を接続するための2本以上の信号線からなるバスを配線する半導体集積回路の配置配線方法において、最適化処理によって変更されない配線固定領域を設定し、該配線固定領域内に上記バスの少なくとも一部を固定配線するよう構成した。

【0009】第2の発明は、第1の発明に加えて、上記配線固定領域の設定および上記バス配線処理を、セル配置処理の直前又は直後に行なうよう構成した。

【0010】

【作用】本発明では、配線固定領域にバス配線およびバス内の信号線の並び順が予め固定されるので、事後的な仮想配線処理やコンパクション処理においてそのバス配線層に切り替わりが発生することが防止され、配線領域の増大や配線長のバラツキ等が解消される。

【0011】

【実施例】以下、本発明の実施例を説明する。図1は配置配線処理を行なうための装置の概略ブロックを示す図である。本実施例では、入力装置1において、配線情報101、セル情報102、設計基準情報103等の従来と同様の情報に加えて、固定配線情報104が取り込まれる。また、処理装置2では、まず配線固定処理201が行なわれて配線固定領域が設定され、そこにバス配線が行なわれる。その後に、セル配置処理202、仮想配線処理203、コンパクション処理204、実配線処理205等が行なわれる。この処理装置2では、セル配置処理202→仮想配線処理203→コンパクション処理

50

204 → セル配置処理 202 → が繰り返し行なわれ、従来と同様にチップ面積を小さくするための最適化が行なわれるが、このとき配線固定領域に設定されたバス配線は変更されない。

【0012】図2は本実施例の配置配線を説明するための図である。本実施例では、まずバス配線固定領域7が設定され、そこにバスB0～B2が配線される(配線固定処理)。そしてその後にブロックセル配置領域5やスタンダードセル配置領域6が設定され、そこへのセルの配置が行なわれる(セル配置処理)。さらに、その後に、配線領域g～aの順に各配線領域の配線が行なわれるが、このときこの領域a～gとバス配線固定領域7との間、セル5、6との間の配線も行なわれる(仮想配線処理)。

【0013】図3は図2における配線領域a～bの間を拡大した図である。第1配線層8で配線されるバスB0～B2の大部分はバス配線固定領域7内に配線されており、他の配線xはそのバス配線固定領域7の外側に配線されている。したがって、同一配線領域内でのバス配線層の切り替わり(ビット線の並びの順序の変化)は全く起こらない。このため、配線層切り替わりによる配線領域の増加が防止でき、チップサイズ縮小化や伝搬遅延時間のバラツキ減少を図ることができる。また、バス配線経路やビット線の順番が固定されるので、後の工程で配線経路変更や製造後の解析が容易となる。

【0014】次に具体的な例を説明する。図4に示す論理回路の配置配線を考える。図4において、X1はアンドゲート(AND2)、X2はオアゲート(OR2)、X3はナンドゲート(NAND2)、X4～X9はバッファ(BUF)である。ここで、バッファX4～X7とアンドゲートX1、オアゲートX2の間を接続するバスBUS(0)～BUS(3)の配線を固定する場合について説明する。

【0015】図5は入力装置1における配線情報101、セル情報102、設計基準情報103、配線固定情報104を示す図である。配線固定情報104では、バスBUS(0)～BUS(3)の固定が設定されている。この配線固定情報104が配線情報101に取り込まれると、そのバスBUS(0)～BUS(3)のノード

データにフラグ(*印)がたつ。自動配置配線プログラムでは、このフラグがたっている配線に関して、人手で領域や経路を固定させるようにすることができ、また他の配線に対して優先的に配線させることもできる。

【0016】なお、上記実施例ではセル配置処理に先だって配線固定処理を行なう場合について説明したが、セル配置処理の後の通常の仮想配線処理の前段階で配線固定処理を行なう場合でも、同様の作用効果がある。但し、この場合、最適化処理は、配線固定領域7やそこでのバス配線を変更しないよう行なう。

【0017】

【発明の効果】以上から本発明によれば、予め配線固定領域を設けてそこにバスを配線して固定状態にすることでバス配線経路が固定され、最適化処理により同一配線領域内においてバス配線の配線層の切り替わりが発生することは皆無となる。したがって、バス配線の集中や配線長のバラツキを防止でき、チップサイズの縮小化や配線遅延の短縮化ができる。また、バス配線の位置や経路が明確であるので、事後的な配線経路変更や解析も容易となる。

【図面の簡単な説明】

【図1】 本発明の一実施例の配置配線装置の概略ブロック図である。

【図2】 本実施例の配置配線の説明図である。

【図3】 図2における一部の配線の拡大図である。

【図4】 論理回路の回路図である。

【図5】 図4の論理回路の配置配線のための入力データの説明図である。

【図6】 従来の配置配線装置の概略ブロック図である。

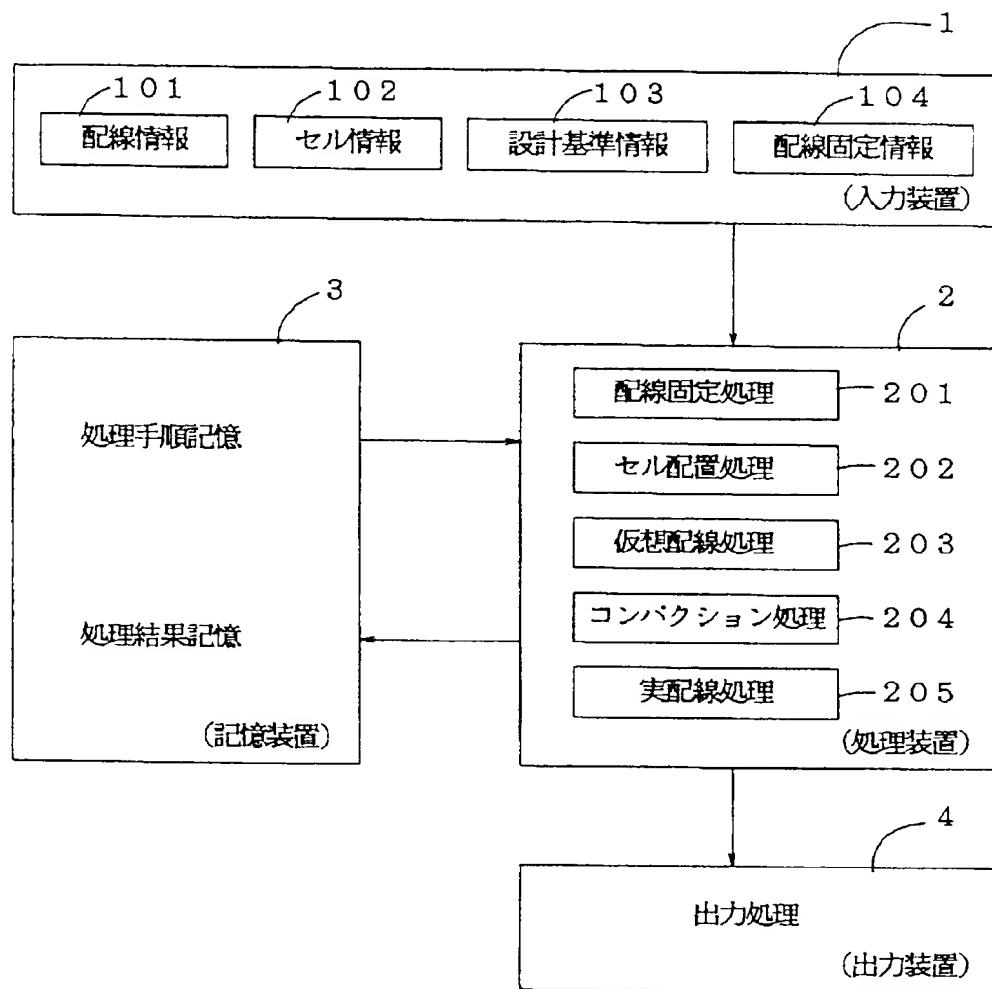
【図7】 従来の配置配線の説明図である。

【図8】 図7における一部の配線の拡大図である。

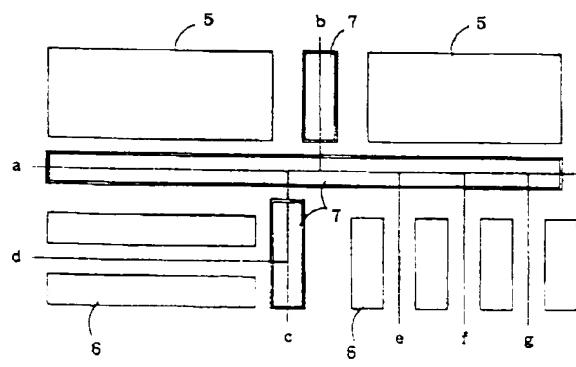
【符号の説明】

1：入力装置、2：処理装置、3：記憶装置、4：出力装置、5：ブロックセル配置領域、6：スタンダードセル配置領域、7：バス配線固定領域、8：第1配線層、9：第2配線装置、10：コンタクト、11：配線領域結合部。

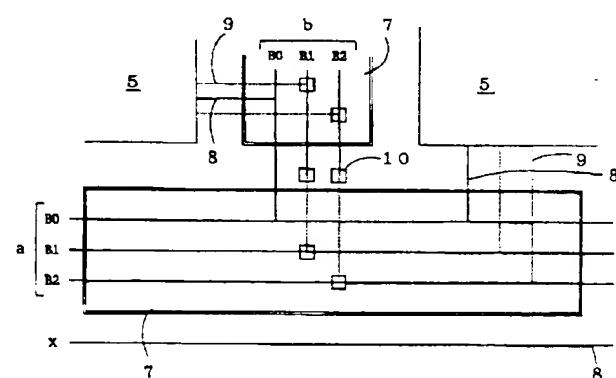
【図1】



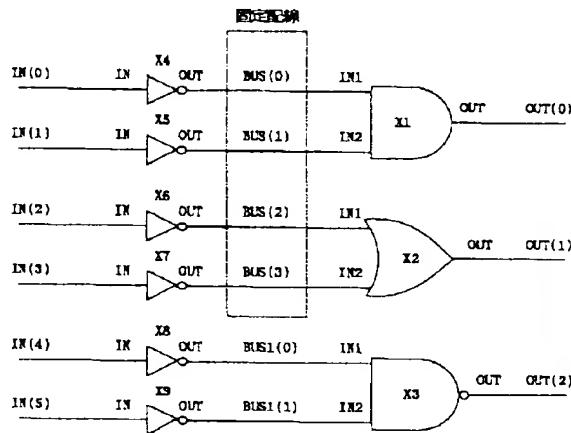
【図2】



【図3】



【図 4】



【図 5】

101

記録情報	インサス	1-F1	フラグ1	1-F2	フラグ2	1-F3	フラグ3	etc
X1	OUT(0)		BUS(0)	*	BUS(1)	*	AND2	
X2	OUT(1)		BUS(2)	*	BUS(3)	*	OR2	
X3	OUT(2)		BUS1(0)		BUS1(1)		NAND2	
X4	BUS(0)	*	IN(0)				BUF	
X5	BUS(1)	*	IN(1)				BUF	
X6	BUS(2)	*	IN(2)				BUF	
X7	BUS(3)	*	IN(3)				BUF	
X8	BUS1(0)		IN(4)				BUF	
X9	BUS1(1)		IN(5)				BUF	

102

AND2 OUT IN1 IN2
OR2 OUT IN1 IN2
NAND2 OUT IN1 IN2
BUF OUT IN

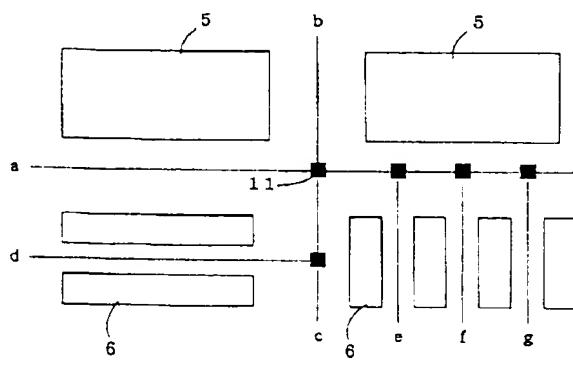
103

設計基準情報
METALL1 WIDB=2.0 SPACE=2.0
METALL2 WIDB=3.0 SPACE=3.0

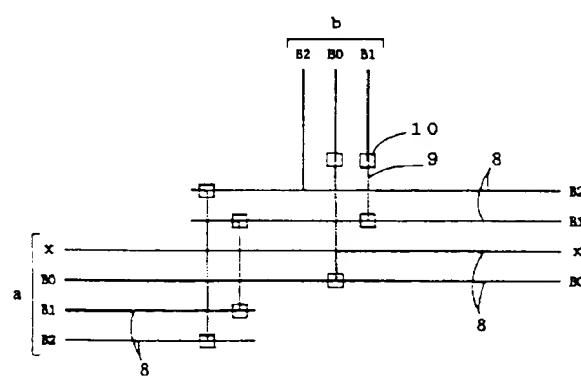
104

記録固定情報
BUS(0 TO 3)

【図 7】



【図 8】



【図6】

